

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-138030  
(43)Date of publication of application : 12.05.1992

(51)Int.Cl.

H02J 7/14  
B60R 16/04  
H02M 7/21  
H02M 7/219

(21)Application number : 02-258668  
(22)Date of filing : 27.09.1990

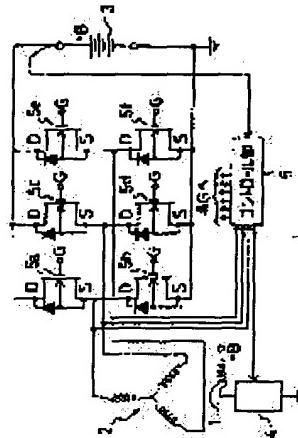
(71)Applicant : HONDA MOTOR CO LTD  
(72)Inventor : SHINOHARA SADAO

## (54) CHARGING CIRCUIT

### (57)Abstract:

**PURPOSE:** To facilitate a low power loss, size reduction and weight reduction by a method wherein a rectifying bridge circuit composed of a plurality of MOS-FETs and a control means which applies a gate voltage to the FET when a reverse drain/source voltage is applied are provided.

**CONSTITUTION:** Respective phase induced voltages between the respective output terminals of a three-phase output coils 2 are always compared with a voltage (+B) between both the terminals of a battery 3 by a controller 6. As a result, if the induced voltage of one phase is generated to a direction of charging the battery 3, i.e., a direction applying a reverse drain/source voltage to respective FET's 5a-5f and, moreover, if the voltage is higher than the battery voltage, the controller 6 supplies a gate voltage (higher than the source voltage), which is a control signal, to the gate terminal of an FET which is one of the two FET's connected to the high voltage side terminal of the two output terminals of the three-phase output coil 2 which outputs the induced voltage of that phase and is connected to the anode side of the battery 3 to make a reverse drain current -ID flow.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12)特許公報 (B2)

(11)特許番号

第2959640号

(45)発行日 平成11年(1999)10月6日

(24)登録日 平成11年(1999)7月30日

(51)Int.Cl.<sup>\*</sup>  
H 02 J 7/14  
H 02 M 7/219

識別記号

F I  
H 02 J 7/14  
H 02 M 7/219

A

請求項の数1(全5頁)

(21)出願番号 特願平2-258668  
(22)出願日 平成2年(1990)9月27日  
(65)公開番号 特開平4-138030  
(43)公開日 平成4年(1992)5月12日  
(54)審査請求日 平成8年(1996)11月29日

(73)特許権者 99999999  
本田技研工業株式会社  
東京都港区南青山2丁目1番1号  
(72)発明者 犬原 貞夫  
埼玉県和光市中央1丁目4番1号 株式  
会社本田技術研究所内  
(74)代理人 弁理士 渡部 敏彦  
審査官 矢島 伸一

(56)参考文献 特開 平2-219468 (JP, A)  
特開 昭63-190561 (JP, A)  
特開 平2-7834 (JP, A)  
実開 平3-7687 (JP, U)

(58)調査した分野(Int.Cl.<sup>\*</sup>, DB名)  
H02J 7/14 - 7/24  
H02M 7/21 - 7/219

(54)【発明の名称】充電回路

(57)【特許請求の範囲】

【請求項1】交流電流を整流し、バッテリに充電する充電回路において、各ブリッジ要素をすべてMOS型FETで構成した整流ブリッジ回路と、該FETのいずれかに前記バッテリの両端電圧よりも高い逆ドレイン・ソース電圧が印加された時に該FETに、ソース端子に対してプラスとなるゲート電圧を印加し、前記バッテリの両端電圧よりも高い逆ドレイン・ソース電圧が印加されていない時には該FETに、ソース端子に対してマイナスとなるゲート電圧を印加する制御手段とを備えたことを特徴とする充電回路。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、充電回路に関し、特に例えば自動車において、エンジンの回転を利用したオルタネータ(交流発電

機)により、バッテリを充電する充電回路に関するものである。

(従来の技術)

従来の充電回路は、例えば第4図に示すように、出力巻線であるステータコイル41と、界磁巻線であり、エンジンによって回転駆動されるロータコイル42とから成るオルタネータのステータコイル41により発生された三相交流電流が、6つのシリコンダイオードによるブリッジ回路から成る三相全波整流器43に加えられて直流に交換され、該直流出力がバッテリ44に供給されて該バッテリ44を充電するように構成されていた。

(発明が解決しようとする課題)

しかしながら、この従来の充電回路の三相全波整流器43における各シリコンダイオードは、第5図に示すような電圧・電流特性を呈し、例えば電流30Aが流れるとき

に印加電圧は1.1Vであり、このときのシリコンダイオードによる電力損失は33Wとなる。

この電力損失に伴う各シリコンダイオードでの発熱に対処するために放熱効果の高い、即ち大きな放熱板をシリコンダイオードに付設する必要があり、従って充電回路を構成する装置は大型化し、かつ重量の大きなものにならざるを得ないという問題があった。

本発明は、上記事情に鑑みてなされたもので、電力損失が低く、従って小型化且つ軽量化が可能となる充電回路を提供することを目的とする。

#### (課題を解決するための手段)

上記目的を達成するために本発明によれば、交流電流を整流し、バッテリに充電する充電回路において、各ブリッジ要素をすべてMOS型FETで構成した整流ブリッジ回路と、該FETのいずれかに前記バッテリの両端電圧よりも高い逆ドレイン・ソース電圧が印加された時に該FETに、ソース端子に対してプラスとなるゲート電圧を印加し、前記バッテリの両端電圧よりも高い逆ドレイン・ソース電圧が印加されていない時には該FETに、ソース端子に対してマイナスとなるゲート電圧を印加する制御手段とを備えたことを特徴とする充電回路が提供される。

#### (作用)

各ブリッジ要素をすべてMOS型FETで構成した整流ブリッジ回路のFETのいずれかに、バッテリの両端電圧よりも高い逆ドレイン・ソース電圧が印加される時に該FETに、ソース端子に対してプラスとなるゲート電圧を印加して該FETを逆ドレイン電流の導通状態にする。これにより、低電力損失の充電回路が実現できる。なお、バッテリの両端電圧よりも高い逆ドレイン・ソース電圧が印加されていない時には該FETに、ソース端子に対してマイナスとなるゲート電圧を印加して該FETのドレイン電流を遮断しておく。これにより、さらに低電力損失の充電回路が実現できる。

#### (実施例)

本発明の一実施例を図面を参照して説明する。

第1図は充電回路の全体構成図であり、図中1及び2は交流発電機を構成する界磁コイル及び三相出力コイルであり、3は車載用バッテリである。界磁コイル1は自動車のエンジン(図示せず)に接続されて回転駆動されるものであるとともに、一端がバッテリ3に接続され、他端が界磁電流制御器4を介して接地される。三相出力コイル2は、界磁コイル1の回転により誘導されて三相交流電流を充電回路に出力する固定コイルである。

充電回路は入力側に三相出力コイル2が、出力側にバッテリ3が接続される。充電回路は、6つの同一特性のパワーMOS型FET5a～5fから成る整流ブリッジ回路とコントロール部(制御手段)6とから成り、整流ブリッジ回路は、FET5a～5fが2個ずつ夫々直列接続され(一方のFETのソース端子と他方のドレイン端子とが接続される)、該直列接続された3組のFETがドレイン端子、ソ

ース端子を夫々共通端子とするように並列接続されて成る。該共通ドレイン端子はバッテリ3の正極に接続され、共通ソース端子は負極に接続される。各直列接続された2個のFETの各接続点に前記三相出力個2の3つの

05 出力端子が夫々接続される。

なお、第1図において各FET5a～5fのソース端子とドレイン端子との間に表示されるダイオードはMOS型FETの寄生ダイオード(等価回路)を示すものであり、FETの外付け部品ではない。

10 コントロール部6は、入・出力回路、記憶手段、中央演算処理装置等から成り、その入力回路はバッテリ3及び三相出力コイル2の各出力端子に接続され、各接続点の電圧信号がコントロール部6に供給される。またコントロール部6の前記出力回路はFET5a～5fの各ゲート端子及び界磁電流制御器4に接続され、コントロール部6からの各制御信号がFET5a～5f及び界磁電流制御器4に供給される。該制御信号により、各FET5a～5fは各ドレイン・ソース間電流(ドレイン電流)の流量を加減してバッテリ3への充電電流量を制御し、また界磁電流制御器4はバッテリ3から界磁コイル1に流れる電流量を加減して、三相出力コイル2での発電量を制御する。

各パワーMOS型各FET5a～5fは第2図に示すような特性を呈する。即ちソース端子に対してドレイン端子がプラス電圧である、ドレイン・ソース間電圧( $V_{DS}$ )を印加した場合にゲート電圧(ソース端子に対してゲート端子がプラス電圧である)に応じてドレイン電流 $I_D$ が流れ、一方、ソース端子に対してドレイン端子がマイナス電圧である逆ドレイン・ソース電圧( $-V_{DS}$ )を印加した場合に、前記ゲート電圧が印加されているときには実線で示す逆ドレイン電流 $-I_D$ が流れ、ゲート電圧が印加されていないときには破線で示す逆ドレイン電流 $-I_D$ が流れ。ゲート電圧に、ソース端子に対してマイナスとなる電圧を印加すると、ドレイン電流は流れない。本発明の実施例では後者の逆ドレイン・ソース電圧 $-V_{DS}$ が印加されている時の逆ドレイン電流 $(-I_D)$ 特性を利用するものである。

次に以上のように構成される充電回路の動作について説明する。

先ず、コントロール部6はFET5a～5fの各ゲート端子に、各ソース端子に対してマイナスとなる電圧を印加しておき、各FETのドレイン電流を遮断しておく。

界磁コイル1に電流が供給された状態で、この界磁コイル1が回転すると、第3図に示すように三相出力コイル2の各出力端子間に三相の誘導電圧が発生する。

45 この三相出力コイル2の各出力端子間の誘導電圧の各相をコントロール部6はバッテリ3の両端電圧(+B)と常時比較する。この比較の結果、誘導電圧の或る相がバッテリ3を充電する方向に、即ち各FET5a～5fに逆ドレイン・ソース電圧を印加する方向に発生し、且つその50 値がバッテリ電圧より高いならば、該誘導電圧の或る相

を出力している三相出力コイル2の2つの出力端子のうちの高電圧側の端子に接続される2つのFETのうち、バッテリ33の正極側に接続されるFETのゲート端子に、コントロール部6は制御信号であるゲート電圧（ソース電位より高い）を供給して逆ドレン電流- $I_D$ が流れるようにする。同時に、前記2つの出力端子のうち低電圧側の端子に接続される2つのFETのうち、バッテリ3の負極側に接続されるFETのゲート端子に、コントロール部6は制御信号である前記ゲート電圧を供給して逆ドレン電流- $I_D$ が流れるようにする。この逆ドレン電流- $I_D$ によりバッテリ3では充電が行なわれる。

第2図に示すように例えば逆ドレン電流- $I_D$ を30A流すために逆ドレン・ソース電圧 $V_{DS}$ は0.6VでよいからFETでの電力損失は18Wとなる。前述のようにシリコンダイオードを用いた従来装置が33Wの電力損失を伴なうのに比べ、本実施例の電力損失は約50%低減されることとなり、従って本実施例のFETでは発熱量が低く、放熱装置の小型化、軽量化が実現できる。

なお、バッテリ3が振動等の原因により充電回路との接続を切られるような事態が生じた場合に、発電機が発電を続行すると、充電回路等にサージ電圧等の悪影響を与えることになる。これを防止するためにコントロール部6は、バッテリ3から入力するはずの電圧信号を監視し、その異常時には界磁電流制御器4に制御信号を出力して界磁コイル1に流れる電流量を減少させるか又は遮断する。これにより発電量が減少又は発電自体が停止され、充電回路等の保護が行なわれる。

また、パワーMOS型FETには前述のように寄生ダイオードが存在し、逆ドレン・ソース電圧を印加したときの寄生ダイオードによる該FETの特性（ソース・ゲート間電圧=0のとき）は第2図に破線で示すようなものである。従って、コントロール部6の故障やFETのゲート部の異常によってFETのゲート制御が行なわれないときにも、この寄生ダイオードによって全波整流が行なわれ、

従って、従来装置と同一な作動を確保できるものである。

なお、上記実施例では整流ブリッジ回路をMOS型FETで構成したが、MOS型FETに代えてC-MOS型FETを用いてもよい。

また、パワーMOS型FET5a～5fは同一特性のものではなく、例えばバッテリ3の正極側に接続されているFET5a, 5c, 5eをPチャネルMOS型FETで構成し、負極側に接続されるFET5b, 5d, 5fをNチャネルMOS型FETで構成してもよい。

この場合は、各PチャネルFETのドレン端子と各NチャネルFETのドレン端子とが夫々接続される直列接続の構成になるが、上記実施例と同一の動作が行なわれ、同一性能が得られる。

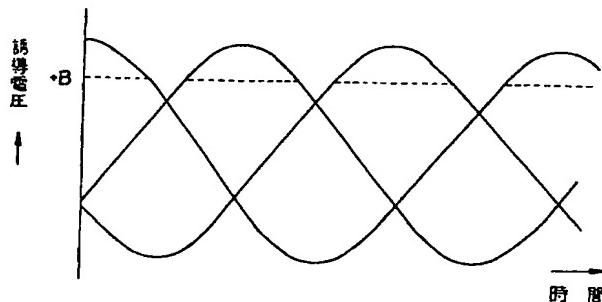
#### 15 (発明の効果)

以上詳述したように本発明は、交流電流を整流し、バッテリに充電する充電回路において、各ブリッジ要素をすべてMOS型FETで構成した整流ブリッジ回路と、該FETのいずれかに前記バッテリの両端電圧よりも高い逆ドレン・ソース電圧が印加された時に該FETに、ソース端子に対してプラスとなるゲート電圧と印加し、前記バッテリの両端電圧よりも高い逆ドレン・ソース電圧が印加されていない時には該FETに、ソース端子に対してマイナスとなるゲート電圧を印加する制御手段とを備えるので、電力損失が極めて低い充電回路を構成でき、従つて小型・軽量な充電回路装置を提供することが可能となる。

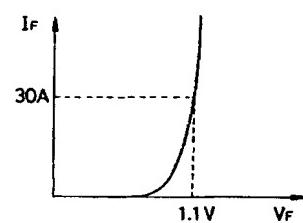
#### 【図面の簡単な説明】

第1図は充電回路の全体構成図、第2図はパワーMOS型FETの特性図、第3図は誘導電圧の時間的変化を示すグラフ、第4図は従来装置の回路図、第5図は第4図に示されたシリコンダイオードの特性図である。  
1, 2……交流発電機のコイル、3……バッテリ、5a～5f……パワーMOS型FET、6……コントロール部。

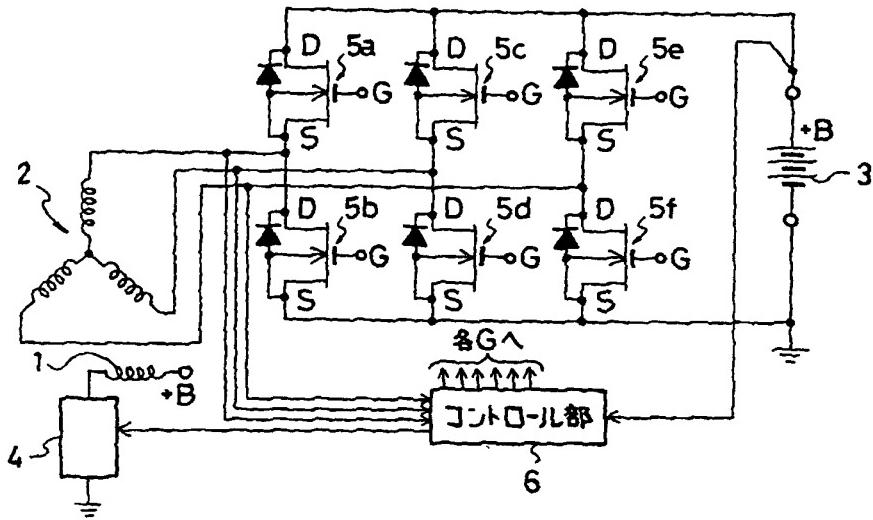
【第3図】



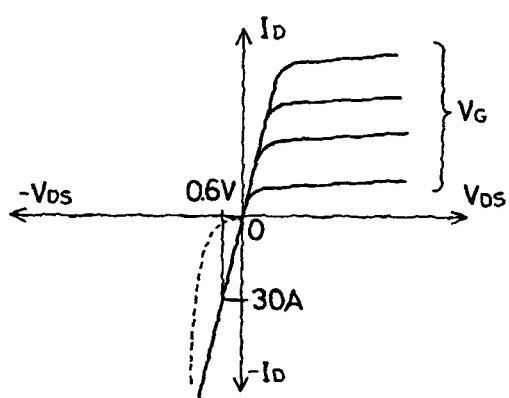
【第5図】



【第1図】



【第2図】



【第4図】

